

1/5/6 (Item 6 from file: 351)

DIALOG(R)File 351:Derwent WPI

(c) 2005 Thomson Derwent. All rts. reserv.

011500916 **Image available**

WPI Acc No: 1997-478829/199744

XRPX Acc No: N97-399410

Semiconductor device with trench isolation structure - has gate oxide layer between gate electrode and isolation layer for suppressing inverse narrow channel effect

Patent Assignee: MITSUBISHI ELECTRIC CORP (MITQ); MITSUBISHI DENKI KK (MITQ)

Inventor: MURAKAMI T; OISHI Y; SHIOZAWA K; YASUMURA K; OISHI T

Number of Countries: 004 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
TW 311261	A	19970721	TW 96113211	A	19961029	199744 B
JP 9321134	A	19971212	JP 96132205	A	19960527	199809
KR 97077504	A	19971212	KR 972181	A	19970125	199850
US 6081662	A	20000627	US 96755057	A	19961122	200036
			US 97937187	A	19970929	
KR 233976	B1	19991215	KR 972181	A	19970125	200112

Priority Applications (No Type Date): JP 96132205 A 19960527

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
TW 311261	A		26	H01L-021/76	
JP 9321134	A		20	H01L-021/76	
KR 97077504	A			H01L-021/76	
US 6081662	A			G06F-017/50	Div ex application US 96755057
KR 233976	B1			H01L-021/76	

Abstract (Basic): TW 311261 A

A semiconductor device with trench isolation structure has trenches with certain depth away from the main surface of the substrate and along the border among the active regions. The active regions are isolated from one another by the isolation layer in the trench.

This device includes a gate electrode located on the isolation layer with gate oxide layer in between and stretched along the cross direction of forming the trench. There is a vertical section area directly under the gate electrode which is used to make the carrier concentration in the side part lower than that of the central part of the active region when a pre-determined voltage is applied on the gate electrode.

USE - Provides field effect transistor with suppressed inverse narrow channel effect.

Dwg.58b/58

Title Terms: SEMICONDUCTOR; DEVICE; TRENCH; ISOLATE; STRUCTURE; GATE; OXIDE ; LAYER; GATE; ELECTRODE; ISOLATE; LAYER; SUPPRESS; INVERSE; NARROW; CHANNEL; EFFECT

Derwent Class: L03; U11

International Patent Class (Main): G06F-017/50; H01L-021/76

International Patent Class (Additional): H01L-029/78

File Segment: CPI; EPI

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-321134

(43) 公開日 平成9年(1997)12月12日

(51) Int.Cl.⁸H 0 1 L 21/76
29/78

識別記号

片内整理番号

F I

H 0 1 L 21/76
29/78

N

3 0 1 R

技術表示箇所

審査請求 未請求 請求項の数17 ○L (全 20 頁)

(21) 出願番号

特願平8-132205

(22) 出願日

平成8年(1996)5月27日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 村上 隆昭

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 安村 賢二

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 大石 敏之

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74) 代理人 弁理士 深見 久郎 (外3名)

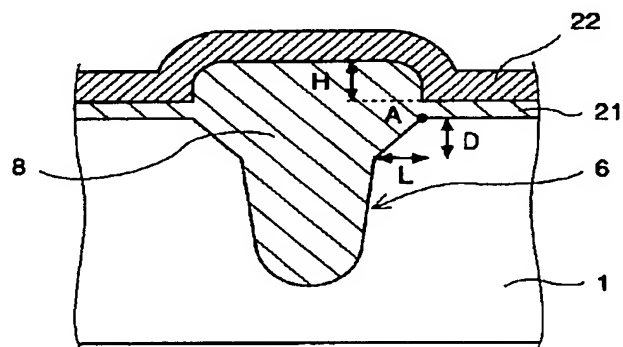
最終頁に続く

(54) 【発明の名称】 トレンチ分離構造を備えた半導体装置およびその製造方法

(57) 【要約】

【課題】 逆狭チャネル効果の発生を抑制したトレンチ分離構造を有する半導体装置およびその製造方法を提供する。

【解決手段】 トレンチ6に埋め込み形成した絶縁膜8の上に、ゲート酸化膜21を介在させてゲート電極22を設けることにより、シリコン基板1の主表面の活性領域間を分離したトレンチ分離構造において、絶縁膜8は、ゲート電極22に所定のバイアス電圧を印加した状態で、トレンチ6の上端コーナ部近傍におけるキャリア濃度が、活性領域の中央のキャリア濃度以下になるような縦断面形状を有する。この構造により、トレンチ分離端における電界集中が緩和され、サブスレッショルド特性の向上を図ることができる。



1: シリコン基板

6: トレンチ

8: 絶縁膜

21: ゲート酸化膜

22: ゲート電極

1

【特許請求の範囲】

【請求項 1】 半導体基板の主表面の活性領域間の境界に沿って延びるように、前記半導体基板の主表面から所定の深さにかけて形成されたトレンチに、絶縁膜を埋め込み形成することによって前記活性領域間を分離するトレンチ分離構造を有する半導体装置であって、前記絶縁膜の上には、ゲート酸化膜を介在させて、前記トレンチの形成方向と交差する方向に延びるようにゲート電極が設けられ、前記絶縁膜は、前記ゲート電極に所定のバイアス電圧を印加した状態で、前記トレンチの前記活性領域側端部におけるキャリア濃度が、前記活性領域の中央のキャリア濃度以下になるような、前記ゲート電極が延びる方向の該ゲート電極直下の鉛直断面形状を有する、トレンチ分離構造を備えた半導体装置。

【請求項 2】 前記トレンチに埋め込まれた絶縁膜の上面の、両側のトレンチ分離端近傍にそれぞれ窪みを形成し、窪みが無い平坦部での前記ゲート酸化膜の上面位置を基準にした各前記窪みの深さを d 、その両端の窪み上に形成したゲート電極とトレンチの側壁との距離が最も短い所の距離を x としたときに、次の条件を満足する、請求項 1 記載のトレンチ分離構造を備えた半導体装置。
 $x \geq 4.5 \cdot 8 d^3 - 1.1 \cdot 9 d^2 + 1.0 d + 0.01$
 $x > 0, d > 0$

【請求項 3】 前記トレンチに埋め込まれた前記絶縁膜が、半導体基板の前記主表面よりも上方へ突出した突出部を有する、請求項 1 または 2 のいずれかに記載のトレンチ分離構造を備えた半導体装置。

【請求項 4】 前記トレンチに埋め込まれた前記絶縁膜の前記突出部の互いに対抗する側壁が、前記半導体基板の前記主表面に対して垂直に、または、側壁間の間隔が上方ほど狭くなるようにテーパをなして形成されている、請求項 1 または 2 のいずれかに記載のトレンチ分離構造を備えた半導体装置。

【請求項 5】 前記トレンチに埋め込まれた前記絶縁膜が、半導体基板の前記主表面よりも上方へ突出した突出部を有し、前記絶縁膜の前記突出部が丸みを帯びた、前記ゲート電極が延びる方向の該ゲート電極直下の鉛直断面形状を有する、請求項 1 または 2 のいずれかに記載のトレンチ分離構造を備えた半導体装置。

【請求項 6】 前記トレンチの上端コーナ部に、横方向幅が $0.05 \mu\text{m}$ 以上でかつ深さが $0.05 \mu\text{m}$ 以下の C 面取り状のテーパ形状を有する、請求項 1 または 2 のいずれかに記載のトレンチ分離構造を備えた半導体装置。

【請求項 7】 前記トレンチの上端コーナ部に、曲率半径が $0.04 \mu\text{m}$ 以上の R 面取りが施された形状を有する、請求項 1 または 2 のいずれかに記載のトレンチ分離構造を備えた半導体装置。

【請求項 8】 半導体基板の主表面に形成された活性領

2

域上に、厚さ 160 nm 以上 380 nm 以下のマスクを形成する工程と、

該マスクを用いて前記半導体基板にエッチングを施すことにより、前記半導体基板に選択的に深さ $0.15 \mu\text{m}$ 以上 $0.3 \mu\text{m}$ 以下のトレンチを形成する工程と、前記トレンチの内壁を熱酸化し、該内壁に膜厚 10 nm 以上 50 nm 以下の熱酸化膜を形成する工程と、内壁に熱酸化膜が形成された前記トレンチを絶縁膜で埋め込む工程と、

10 前記トレンチを埋め込んだ前記絶縁膜のうち、前記トレンチの上部とその近傍の部分のみ残すように選択的に除去する工程と、

前記マスクを除去する工程と、

前記絶縁膜上に、ゲート酸化膜を介在させてゲート電極を形成する工程とを備え、

前記ゲート電極に所定のバイアス電圧を印加した状態で、前記トレンチの上端コーナ部近傍における前記活性領域のキャリア濃度が、前記活性領域の中央のキャリア濃度以下になるようなトレンチ分離端構造を形成する、トレンチ分離構造を備えた半導体装置の製造方法。

20 【請求項 9】 前記マスクを形成する工程が、シリコン酸化膜およびシリコン窒化膜を順次積み重ねて形成する工程を含み、

前記トレンチを埋め込む絶縁膜がシリコン酸化膜である、請求項 8 記載のトレンチ分離構造を備えた半導体装置の製造方法。

【請求項 10】 前記マスクを形成する工程が、厚さ 10 nm 以上 30 nm 以下のシリコン酸化膜、厚さ 100 nm 以上 200 nm 以下のシリコン窒化膜、および厚さ 50 nm 以上 150 nm 以下のシリコン酸化膜を順次積み重ねて形成する工程を含み、

30 前記トレンチを埋め込む絶縁膜がシリコン酸化膜である、請求項 8 記載のトレンチ分離構造を備えた半導体装置の製造方法。

【請求項 11】 熱酸化によりトレンチ内壁に選択的に熱酸化膜を形成する前記工程において、該熱酸化膜の膜圧を調節することにより、トレンチ上端の相対向するコーナ間の距離を制御する、請求項 8 記載のトレンチ分離構造を備えた半導体装置の製造方法。

40 【請求項 12】 前記トレンチを形成する工程の後、熱酸化によりトレンチ内壁に選択的に熱酸化膜を形成する前記工程の前において、

熱酸化により、前記トレンチの内壁に犠牲酸化膜を形成する工程と、

該犠牲酸化膜をエッチングにより選択的に除去する工程とをさらに備え、

前記犠牲酸化膜の膜圧を調節することにより、トレンチ上端の相対向するコーナ間の距離を制御する、請求項 8 記載のトレンチ分離構造を備えた半導体装置の製造方法。

50

3

【請求項13】 前記マスクを形成する工程が、シリコン酸化膜、シリコン膜、シリコン窒化膜およびシリコン酸化膜を順次積み重ねて形成する工程を含み、前記トレンチ内壁に熱酸化膜を形成する前記工程において、前記シリコン膜の前記トレンチの上端のコナ部近傍の部分を同時に熱酸化して、この部分をシリコン酸化膜に変えることにより、前記半導体基板の前記主表面上に突出する前記絶縁膜の部分がテーパ形状を有するようにした、請求項8記載のトレンチ分離構造を備えた半導体装置の製造方法。

【請求項14】 前記トレンチの内壁に熱酸化膜を形成する工程における熱酸化条件が、1000℃より高い形成温度および/または1気圧以上の高い圧力の下で行なうことを特徴とする、請求項8記載のトレンチ分離構造を備えた半導体装置の製造方法。

【請求項15】 前記マスクを除去する工程の後、前記ゲート電極を形成する工程の前に、絶縁膜を全面に堆積し、該絶縁膜をエッチバックして、前記半導体基板の前記主表面上に突出する前記絶縁膜の部分の両側部に最大幅が10nm以上60nm以下の側壁絶縁膜のみを残すことにより、該部分が丸みを帯びた形状あるいはテーパ形状を有するようにした、請求項8記載のトレンチ分離構造を備えた半導体装置の製造方法。

【請求項16】 前記トレンチを形成する工程が、エッチングを等方性エッチングにより前記半導体基板に10nm以上50nm以下のエッチングを行なう第1のエッチング工程と、異方性エッチングにより前記半導体基板に選択的に深さ0.15μm以上0.3μm以下のエッチングを行なう工程とを含む、請求項8記載のトレンチ分離構造を備えた半導体装置の製造方法。

【請求項17】 前記活性領域の中央におけるキャリア濃度と、前記トレンチの前記活性領域側端部におけるキャリア濃度とを、前記トレンチ分離端構造の形状パラメータを用いた回帰曲線の式で表したシミュレーションにより、前記活性領域の中央におけるキャリア濃度が、前記トレンチの前記活性領域側端部におけるキャリア濃度よりも高くなるように、前記トレンチ分離端構造の形状パラメータを設定したことを特徴とする、請求項8ないし16のいずれかに記載のトレンチ分離構造を備えた半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体基板の主表面上に形成された活性な素子形成領域（以下「活性領域」と記す）間を分離絶縁するためのトレンチ分離構造を有する半導体装置の構造およびその製造方法に関し、特に、VLSI (Very Large Scale Integrated circuit) に適用した場合に逆狭チャネル効果の発生の防止に適したトレンチ分離構造を有する半導体装置の構造およ

4

びその製造方法に関するものである。

【0002】

【従来の技術】 VLSIにおける素子分離技術として従来より、半導体基板の主表面上の活性領域間を、その主表面上に設けられたトレンチに絶縁膜を埋め込むことによって分離絶縁するトレンチ分離構造が用いられている。

「International Electron Device Meeting、IEDM 94の28.1.1 (1994年)」に示された従来のトレンチ分離構造の製造方法を、図28および図29を参照しながら、以下に説明する。

【0003】 この従来のトレンチ分離構造の製造方法においては、まず、図28(a)に示すように、シリコン基板1上に熱酸化膜2、シリコン窒化膜3、および酸化膜4を積層形成した後、積層されたこれらの膜のトレンチを形成する分離領域に対応する位置に、開口5を形成する。この開口5の形成は、写真製版、ドライエッチング等の方法によりパターンニングすることによって行なわれる。

【0004】 次に、このようにして形成された開口5を有するパターンをマスクとして、シリコン基板1を選択的にエッチングし、図28(b)に示すように分離領域となる部分にトレンチ6を形成する。その後、熱酸化を施すことによって、トレンチ6の内壁に熱酸化膜7を形成する(図28(b))。次に、図28(c)に示すように、TEOS (Tetra Ethyl Ortho Silicate glass)法を用いてトレンチ6を酸化膜8で埋め込む。現今の微細化された集積回路では、酸化膜8を埋め込む前のトレンチ6のアスペクト比が高いため、ボイドを発生させずにトレンチ6を埋め込むためには、TEOS酸化膜等の緻密でない酸化膜で埋め込む必要がある。

【0005】 次に、エッチング、機械的研磨、あるいは化学的研磨等の平坦化の手段により、図29(a)に示すようにシリコン窒化膜3をスットパーとして平坦化する。平坦化の結果露出したシリコン窒化膜3を除去した後の構造を、図29(b)に示す。次に、熱酸化膜2をウェットエッチングで除去し、酸化膜8を平坦化した後、シリコン基板上にゲート酸化膜9を形成し、その上にさらにゲート電極を形成することにより、図29(c)に示す構造となる。

【0006】

【発明が解決しようとする課題】 通常、MOS (Metal Oxide Semiconductor) トランジスタではチャネル幅の減少に伴ってしきい値電圧が増大する、いわゆる狭チャネル効果という現象が現われる。しかしトレンチ分離では、ゲート電極にしきい値程度の電圧をかけたとき、トレンチ分離端近傍(図29(c)に示す点Aの付近)に電界が集中し、このトレンチ分離端近傍で寄生チャネルが形成されてしまう。このようにしてトレンチ側壁に形成された寄生チャネルを介して電流が流れ、しきい値電圧が減少する。このように、チャネル幅が減少するとし

5

きい値電圧が減少する現象は、逆狭チャネル効果と呼ばれている。この逆チャネル効果は、サブスレッショルド特性においてドレイン電流にハンプを生じることから、ハンプ現象とも呼ばれる。

【0007】この逆狭チャネル効果は、しきい値電圧の変動を引き起こし、さらにサブスレッショルド特性の悪化を招くため、トレンチ分離構造を有する半導体装置においては極めて重大な問題となっていた。

【0008】本発明は、このような従来の問題を解決するため、トレンチの上部コーナ部の形状やトレンチに埋め込まれる絶縁膜の突出形状などの最適化を図ることにより、逆狭チャネル効果の発生を抑制したトレンチ分離構造を有する半導体装置およびその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成する本発明のトレンチ分離構造を備えた半導体装置は、半導体基板の主表面の活性領域間の境界に沿って延びるように、半導体基板の主表面から所定の深さにかけて形成されたトレンチに、絶縁膜を埋め込み形成することによって活性領域間を分離するトレンチ分離構造を有する。絶縁膜の上には、ゲート酸化膜を介在させて、トレンチの形成方向と交差する方向に延びるようにゲート電極が設けられ、該絶縁膜は、ゲート電極に所定のバイアス電圧を印加した状態で、トレンチの上端コーナ部近傍における活性領域のキャリア濃度が、活性領域の中央のキャリア濃度以下になるような、ゲート電極が延びる方向の該ゲート電極直下の鉛直断面形状を有する。

【0010】このような構造を有することにより本発明によれば、ゲート電極に所定のバイアス電圧を印加した状態で、トレンチの上端コーナ部近傍における活性領域のキャリア濃度が、活性領域の中央のキャリア濃度以下になるため、トレンチ分離端近傍における電界集中が緩和される。その結果、逆狭チャネル効果の発生が抑制されるため、しきい値電圧の変動が防止され、サブスレッショルド特性の向上を図ることができる。

【0011】このような条件を満たすトレンチ分離形状として、つぎのような種々の具体例が上げられる。まず第1の例として、トレンチに埋め込まれた絶縁膜の上面の、両側のトレンチ分離端近傍にそれぞれ窪みを形成し、窪みがない平坦部でのゲート酸化膜の上面位置を基準にした各窪みの深さを d 、その両端の窪み上に形成したゲート電極とトレンチの側壁との距離が最も短い所の距離を x としたときに、

$$x \geq 4.5 \cdot 8 d^3 - 11.9 d^2 + 1.0 d + 0.01$$

$$x > 0, \quad d > 0$$

の条件を満足するように設定する。

【0012】このような窪みは、トレンチを埋め込む絶縁膜を形成する際のエッチバック工程において必然的に形成されるものであり。そのエッチバックの条件を制御

6

することによって、上記のような条件を満たす窪み形状が比較的容易に形成される。

【0013】トレンチ分離形状の第2の例においては、トレンチに埋め込まれた絶縁膜が、半導体基板の主表面よりも上方へ突出した突出部を有し、該突出部が、絶縁膜の突出部の互いに対抗する側壁間の間隔が上方ほど狭くなるようにテーパをなす形状、対抗する側壁が半導体基板の主表面に対して垂直に形成された形状、あるいは丸みを帯びた、ゲート電極が延びる方向の該ゲート電極直下の鉛直断面形状を有するように形成される。

【0014】また、トレンチ分離形状の第3の例においては、トレンチの上端コーナ部に、横方向幅が $0.05 \mu\text{m}$ 以上でかつ深さが $0.05 \mu\text{m}$ 以下のC面取り状のテーパ形状を有する構造、あるいは、トレンチの上端コーナ部に、曲率半径が $0.04 \mu\text{m}$ 以上のR面取りが施された形状を有する。トレンチの上端コーナ部がこのような形状を有すれば、半導体基板の主表面上に、トレンチに埋め込まれた絶縁膜の突出部が存在するか否かにかかわらず、「ゲート電極に所定のバイアス電圧を印加した状態で、トレンチの活性領域側端部におけるキャリア濃度が、活性領域の中央のキャリア濃度以下になる」という上記条件を満足する。したがってこのトレンチ分離形状は、トレンチに埋め込まれた絶縁膜が半導体基板の主表面とはほぼ面一の上表面を有する構造にも適用可能である。このような構造を採用することにより、表面段差の増加を来すことなく本発明の目的を達成することができる。

【0015】本発明のトレンチ分離構造を備えた半導体装置の製造方法は、半導体基板の主表面に形成された活性領域上に、厚さ 160 nm 以上 380 nm 以下のマスクを形成する工程と、該マスクを用いて半導体基板にエッチングを施すことにより、半導体基板に選択的に深さ $0.15 \mu\text{m}$ 以上 $0.3 \mu\text{m}$ 以下のトレンチを形成する工程と、トレンチの内壁を熱酸化し、該内壁に膜厚 10 nm 以上 50 nm 以下の熱酸化膜を形成する工程と、内壁に熱酸化膜が形成されたトレンチを絶縁膜で埋め込む工程と、トレンチを埋め込んだ絶縁膜のうち、トレンチの上部とその近傍のみの部分を残すように選択的に除去する工程と、マスクを除去する工程と、絶縁膜上に、ゲート酸化膜を介在させてゲート電極を形成する工程を備え、ゲート電極に所定のバイアス電圧を印加した状態で、トレンチの上端コーナ部近傍における活性領域のキャリア濃度が、活性領域の中央のキャリア濃度以下になるようなトレンチ分離端構造を形成する。

【0016】このような工程により、トレンチ分離端における電界集中を緩和し、その結果、逆狭チャネル効果発生の抑制を図ったトレンチ分離構造を、効率的に形成することができる。

【0017】この発明のトレンチ分離構造を備えた半導体装置の製造方法は、具体的には、次のような種々の工

程を採用しうる。まず第1の例として、マスクを形成する工程が、シリコン酸化膜およびシリコン窒化膜を順次積み重ねて形成する工程を含み、トレンチを埋め込む絶縁膜としてシリコン酸化膜が採用される。また、マスクを形成する工程として、厚さ10nm以上30nm以下のシリコン酸化膜、厚さ100nm以上200nm以下のシリコン窒化膜、および厚さ50nm以上150nm以下のシリコン酸化膜を順次積み重ねて形成してもよい。

【0018】本発明のトレンチ分離構造を備えた半導体装置の製造方法においては、トレンチ上端の相対向するコーナ間の距離の制御は、熱酸化によりトレンチ内壁に選択的に熱酸化膜を形成する工程において、該熱酸化膜の膜圧を調節することにより行なうことができる。また、その他の方法として、トレンチを形成する工程の後、熱酸化によりトレンチ内壁に選択的に熱酸化膜を形成する工程の前において、熱酸化により、トレンチの内壁に犠牲酸化膜を形成する工程と、該犠牲酸化膜をエッチングにより選択的に除去する工程とをさらに備え、犠牲酸化膜の膜圧を調節することによっても、トレンチ上端の相対向するコーナ間の距離の制御を行なうことができる。

【0019】本発明の製造方法において、マスクを形成する工程が、シリコン酸化膜、シリコン膜、シリコン窒化膜およびシリコン酸化膜を順次積み重ねて形成する工程を含み、トレンチ内壁に熱酸化膜を形成する工程において、シリコン膜のトレンチの上端のコーナ部近傍の部分を同時に熱酸化して、この部分をシリコン酸化膜に変えることにより、半導体基板の主表面上に突出する絶縁膜の部分がテーパ形状を有するように形成することができる。

【0020】トレンチの内壁に熱酸化膜を形成する工程における熱酸化条件としては、1000℃より高い形成温度および/または1気圧以上の高い圧力の下で行なうことが好ましい。

【0021】さらに、本発明の製造方法においては、マスクを除去する工程の後、ゲート電極を形成する工程の前に、絶縁膜を全面に堆積し、該絶縁膜をエッチバックして、半導体基板の主表面上に突出する絶縁膜の部分の両側部に最大幅が10nm以上60nm以下の側壁絶縁膜のみを残すことにより、該部分が丸みを帯びた形状あるいはテーパ形状を有するように形成することができる。

【0022】また、トレンチを形成する工程が、エッチングを等方性エッチングにより半導体基板に10nm以上50nm以下のエッチングを行なう第1のエッチング工程と、異方性エッチングにより半導体基板に選択的に深さ0.15μm以上0.3μm以下のエッチングを行なう第2のエッチング工程とを含むことにより、トレンチの上端コーナ部をテーパ形状を有するように形成する

ことができる。

【0023】なお、本発明のトレンチ分離構造を備えた半導体装置の製造方法を実施するに当たっての、トレンチ分離構造の仕様の決定は、活性領域の中央におけるキャリア濃度と、トレンチの活性領域側端部におけるキャリア濃度とを、トレンチ分離端構造の形状パラメータを用いた回帰曲線の式で表したシミュレーションにより、活性領域の中央におけるキャリア濃度が、トレンチの活性領域側端部におけるキャリア濃度よりも高くなるように、トレンチ分離端構造の形状パラメータを設定したことによって行なうことができる。

【0024】

【発明の実施の形態】始めに、本発明の基本的な技術思想を適用して好ましい実施の形態を見出す手法としての、シミュレーションによるキャリア濃度解析について説明する。

【0025】逆狭チャネル効果（あるいはハンプ現象）が生じるのは、文献「IEEE Transactions on Electron Devices vol.39, No.3, March 1992, P614」に述べられているように、活性領域の中央部よりも、該活性領域を他の活性領域から分離絶縁する分離酸化膜の該活性領域側エッジ（以下「分離端」という）近傍の方が反転層を形成しやすいことに起因する。従って、シミュレーションにより反転層のキャリア濃度解析を行ない、活性領域の中央部と分離端近傍とのキャリア濃度の大小関係で逆狭チャネル効果の度合いを定量的に見積もることが可能である。以下一例として、半導体基板の主表面上に形成されたpウェルにトレンチ分離構造を設ける場合について、シミュレーションにより逆狭チャネル効果を解析する手順について説明する。

【0026】まずプロセスシミュレーションを用いて、解析すべきデバイス構造のモデルを作成する。次にそのデバイス構造のモデルを用いて、デバイスシミュレーションによりバイアスを印加した状態の電子濃度を求める。その電子濃度のデータから活性領域中央部と分離端との電子濃度差を計算し、トレンチの断面形状のパラメータに対してプロットする。この電子濃度差の正負によって逆狭チャネル効果が生じるか否かを判定することが可能である。この例の場合、

（電子濃度差： ΔE ）＝（分離端の電子濃度）－（活性領域中央部の電子濃度）

で定義される ΔE が正の場合は逆狭チャネル効果が生じ、 ΔE が負の場合には狭チャネル効果が生じると判定される。

【0027】半導体基板の主表面上に形成されたnウェルトレンチ分離構造を設ける場合は、正孔濃度について同様の解析を行なえばよい。すなわち、

（正孔濃度差）＝（分離端の正孔濃度）－（活性領域中央部の正孔濃度）

で定義される正孔濃度差が正の場合は逆狭チャネル効果

9

が生じ、正孔濃度差が負の場合には狭チャネル効果が生じると判定される。

【0028】次に、この解析を、図1に示すトレンチ分離エッジ形状の各パラメータに対して行なう。図1の構造を平面図および一部断面斜視図で示したのが図30であり、図1は図30(a)に示した平面図のI-I線断面を示している。この構造において、トレンチ6およびそれに埋め込まれた絶縁膜8によって、シリコン基板1主表面上の活性領域9、9間が分離され、該活性領域9、9および絶縁膜8上には、トレンチ6の形成方向すなわち活性領域9、9間の境界に沿う方向に略直角に交差する方向に延びるように、ゲート酸化膜21を介在させてゲート電極22が形成されている。トレンチ6を挟む活性領域9、9のうちの少なくとも一方には、ゲート電極22の両側に、n型不純物をドーブしたソース領域9aおよびドレイン領域9bが形成されている。

【0029】この解析方法は、トレンチ分離のエッジ形状のパラメータのうち、深さDに対して行なった解析を例にとると次のように説明される。まずプロセスシミュレーションで解析構造を作成する。解析領域はトレンチ分離を中心にX方向が $-0.2 \sim 0.2 \mu\text{m}$ 、Y方向がシリコン基板表面から $2.0 \mu\text{m}$ までである。解析はトレンチ深さ $0.3 \mu\text{m}$ 、ゲート酸化膜厚は 6 nm 、上部

$$\Delta E(D) = d_5 D^5 + d_4 D^4 + d_3 D^3 + d_2 D^2 + d_1 D + d_0 \quad (0.0 \leq D \leq 0.1 \mu\text{m})$$

$$d_5 = -2.10 \times 10^{19}$$

$$d_4 = 5.95 \times 10^{18}$$

$$d_3 = -5.74 \times 10^{17}$$

$$d_2 = 5.67 \times 10^{16}$$

$$d_1 = -2.09 \times 10^{15}$$

【0032】

【数2】

$$\Delta E(L) = l_5 L^5 + l_4 L^4 + l_3 L^3 + l_2 L^2 + l_1 L + l_0 \quad (0 \leq L \leq 0.05 \mu\text{m})$$

$$l_5 = -3.16 \times 10^{23}$$

$$l_4 = 4.99 \times 10^{22}$$

$$l_3 = -3.07 \times 10^{21}$$

$$l_2 = 9.25 \times 10^{19}$$

$$l_1 = -1.40 \times 10^{18}$$

$$l_0 = 8.91 \times 10^{15}$$

【0033】

【数3】

$$\Delta E(H) = h_4 H^4 + h_3 H^3 + h_2 H^2 + h_1 H + h_0 \quad (0.0 \leq H \leq 0.1 \mu\text{m})$$

$$h_4 = 4.32 \times 10^{18}$$

$$h_3 = -9.30 \times 10^{17}$$

$$h_2 = 6.49 \times 10^{16}$$

$$h_1 = -1.23 \times 10^{15}$$

$$h_0 = -2.56 \times 10^{13}$$

【0034】独立に変化可能な(D, L, H)のパラメータセットに対してこの回帰曲線の式の合計が負になるようにトレンチエッジ形状を決定する。つまり

【0035】

10

*電極にはポリシリコンを $0.15 \mu\text{m}$ 平坦に形成した。トレンチエッジ形状パラメータ $L = 0.05 \mu\text{m}$ 、深さDは $0.01 \sim 0.10 \mu\text{m}$ の範囲で変化させた。次にデバイスシミュレーションは上部の多結晶シリコンからなるゲート電極と、解析領域の下端とを電極とし、ゲート電極に 0.5 V のバイアスを印加する。下端の電極は 0 V にしておく。図2に $D = 0.02 \mu\text{m}$ の時の2次元電子濃度解析結果(ゲート電極の電位 $V_g = 0.5 \text{ V}$)を示す。図3には図2に示すカットラインに沿った1次元電子濃度を示す。この1次元プロットの両端の電子濃度差を ΔE と定義している。この電子濃度差 ΔE のトレンチエッジ深さD依存性を図4に示す。これから $D \geq 0.06 \mu\text{m}$ では分離端の電子濃度が活性領域中央部より高くなることからわかる。つまり逆狭チャネル効果が生じることがわかる。

【0030】同様の解析を長さL、高さHについて行ない、独立に変化可能なパラメータセットD, L, Hの組み合わせでトータルの電子濃度差 ΔE を求めて解析を行なう。この解析を効率的に行なうために ΔE の各パラメータ依存性を、次のような3つの回帰曲線の式で表す。

【0031】

【数1】

30 【数4】

$$\Delta E(D) + \Delta E(L) + \Delta E(H) \leq 0$$

【0036】を満たすように各パラメータの値を決定する。次に、同様の解析をトレンチ分離のエッジの曲率半径Rについて行なう。解析に用いたトレンチエッジの曲率半径Rは $0.01 \sim 0.05 \mu\text{m}$ である。解析構造における曲率半径Rの定義を図5に示す。 $V_g = 0.5 \text{ V}$ における電子濃度差 ΔE の曲率半径依存性を図6に示す。この結果から求めた回帰曲線の式を次に示す。

【0037】

40 【数5】

$$\Delta E(R) = r_4 R^4 + r_3 R^3 + r_2 R^2 + r_1 R + r_0 \quad (0.01 \leq R \leq 0.05 \mu\text{m})$$

$$r_4 = 5.56 \times 10^{21}$$

$$r_3 = -8.07 \times 10^{20}$$

$$r_2 = 4.31 \times 10^{19}$$

$$r_1 = -1.00 \times 10^{18}$$

$$r_0 = 8.73 \times 10^{15}$$

【0038】これから、上部電極が平坦な場合、曲率半径 $R \geq 0.036 \mu\text{m}$ で $\Delta E \leq 0$ となり、逆狭チャネル効果を抑制できる。

50 【0039】次に、この解析をトレンチ分離を埋め込ん

11

だ絶縁膜の上部が窪んだ構造に適用して、窪みの深さに対する電子濃度差 ΔE の依存性を検討する。解析のパラメータとして図 7 に示すように窪みの深さをとる。この窪みには上部の多結晶シリコンからなるゲート電極が埋め込まれている。この構造においてゲート電極に $V_g = 0.5 \text{ V}$ 印加した時の電子濃度差 ΔE の窪みの深さ依存性を図 8 に示す。この結果から求めた回帰曲線の式を次に示す。

【0040】

【数 6】

$$\Delta E(Z) = z_5 Z^5 + z_4 Z^4 + z_3 Z^3 + z_2 Z^2 + z_1 Z + z_0 \quad (0 \leq Z \leq 0.10 \mu\text{m})$$

$$z_5 = -8.00 \times 10^{21}$$

$$z_4 = 2.36 \times 10^{21}$$

$$z_3 = -2.44 \times 10^{20}$$

$$z_2 = 8.94 \times 10^{18}$$

$$z_1 = 7.17 \times 10^{16}$$

$$z_0 = -1.81 \times 10^{15}$$

【0041】これから、深さが $0.013 \mu\text{m}$ 以上になると $\Delta E > 0$ となり、逆狭チャネル効果が生じることがわかる。

【0042】次に、この解析をトレンチ分離を埋め込んだ絶縁膜の上部が窪んだ構造において、窪みの水平方向位置に対する依存性を検討する。解析のパラメータとして、図 9 に示すように窪みの位置をとる。この窪みが最もトレンチエッジ（トレンチ上端コーナ部）に近い時を基準の位置とする。この窪みには上部の多結晶シリコン電極が埋め込まれている。この構造においてゲート電極に $V_g = 0.5 \text{ V}$ 印加した時の電子濃度差 ΔE の窪みの位置依存性を図 10 に示す。この結果から求めた回帰曲線の式を次に示す。

【0043】

【数 7】

$$\Delta E(X) = x_4 X^4 + x_3 X^3 + x_2 X^2 + x_1 X + x_0 \quad (0 \leq X \leq 0.08 \mu\text{m})$$

$$x_4 = 1.62 \times 10^{21}$$

$$x_3 = -3.27 \times 10^{20}$$

$$x_2 = 2.38 \times 10^{19}$$

$$x_1 = -7.3 \times 10^{17}$$

$$x_0 = 6.72 \times 10^{15}$$

【0044】これから、位置 X が $0.015 \mu\text{m}$ 以下では $\Delta E > 0$ となり逆狭チャネル効果が生じることがわかる。

【0045】以上のような解析による分析から、トレンチ分離断面形状を最適化することにより、トレンチ分離端における反転層形成を抑制することが可能となり、逆狭チャネル効果（あるいはハンプ現象）を抑制したトランジスタを形成することが可能となる。

【0046】上記解析に基づく考察より導かれる、トレンチ分離断面形状およびトレンチ分離を形成する工程のそれぞれに関する本発明の具体的な実施の形態について、トレンチ分離断面形状の実施の形態（実施の形態 1

12

ないし 3）とトレンチ分離形成工程の実施の形態（実施の形態 4 ないし 8）とに分けて、以下に説明する。

【0047】【実施の形態 1】まず、図 1、図 11 および図 12 を参照しながら、本発明の実施の形態 1 について説明する。この実施の形態においては、トレンチ 6 内に絶縁膜 8 が埋め込まれ、その上にゲート酸化膜 21 を介在させてゲート電極 22 を形成した構造において、シリコン基板 1 の主表面よりも上に突出する突出部を有しており、かつ、上述した解析により、逆狭チャネル効果（あるいはハンプ効果）が生じない形状に、該突出部が成形されている。この突出部の形状については、種々の変形が可能であり、その具体例として、図 1 に示すように両側部が丸みを帯びた形状、図 11 に示すように、両側壁間の間隔が上方へしだいに狭くなるテーパを有する形状、さらには、図 12 に示すように、両側壁がシリコン基板 1 の主表面に対して垂直に立ち上がった形状を有する形状等が適用可能である。

【0048】また、図 1、図 11 および図 12 においては、トレンチ 6 の上端のコーナ部に、C 面取り状のテーパを形成した構造を示したが、このコーナ部は、たとえ丸みを帯びた形状にしてもよく、また極端な例としては、このコーナ部がエッジ形状のまま残った構造もあり得る。

【0049】【実施の形態 2】次に、図 13 および図 14 を参照しながら、本発明の実施の形態 2 について説明する。この実施の形態においては、トレンチ 6 内に埋め込まれる絶縁膜 8 の上表面が、シリコン基板 1 の主表面とはほぼ面一に平坦化された形状を有しており、かつ、トレンチ 6 の上端コーナ部を、図 13 に示すように C 面取り状のテーパ形状、あるいは図 13 に示すように丸みを帯びた形状に形成している。

【0050】具体的には、図 13 に示した構造については、トレンチ 6 の上端のコーナが、 $D \leq 0.05 \mu\text{m}$ かつ $L \geq 0.05 \mu\text{m}$ のテーパを有する形状とすることにより、逆狭チャネル効果を生じない構造を実現している。また図 14 に示した構造については、図 5 および図 6 を用いて説明した上記解析結果に基づいて、トレンチ 6 の上端のコーナ部の曲率半径を $0.04 \mu\text{m}$ 以上に設定することにより、逆狭チャネル効果が生じない構造を実現している。

【0051】【実施の形態 3】次に、図 15 ないし図 18 を参照しながら、本発明の実施の形態 3 について説明する。この実施の形態においては、トレンチ 6 内に埋め込まれる絶縁膜 8 の上表面の、少なくともトレンチ 6 の両側端部近傍に窪み 23 を有しており、その窪み 23 は、窪みがない平坦部でのゲート酸化膜の上面位置を基準にした各窪み 23 の深さを d 、その両端の窪み上に形成したゲート電極 22 とトレンチ 6 の側壁との距離が最も短い所の距離を x としたときに、次の条件を満足するように設定されている。

13

【0052】

$$x \geq 45.8d^3 - 11.9d^2 + 1.0d + 0.01$$

$$x > 0, d > 0$$

この実施の形態の構造は、トレンチ6内に絶縁膜8を埋め込んだ後にエッチバックする工程において、トレンチ6の両側端部近傍において絶縁膜8に窪みが生じ易いことを積極的に利用し、形成される窪みの形状を制御することによって、逆狭チャネル効果の発生を抑制する構造を実現するものである。

【0053】この実施の形態における絶縁膜8の断面形状および窪み23の形状は、次のような種々の態様が存在する。まず、トレンチ6に埋め込まれた絶縁膜8がシリコン基板1の主表面よりも上に突出する構造においては、図15(a)に示すように突出部の両側壁がテーパーを有する形状、図15(b)に示すように突出部の両側壁がシリコン基板1の主表面に垂直に立ち上がった形状、あるいは図15(c)に示すように突出部の両側壁が丸みを帯びた形状を採りうる。

【0054】また、トレンチ6に埋め込まれた絶縁膜8がシリコン基板1の主表面とほぼ面一に形成される構造において、図16(a)に示すようにトレンチ6の両側部の絶縁膜8の上面に窪み23を設けることによって、逆狭チャネル効果の発生を抑制する構造を実現している。この構造において、図16(b)に示すようにトレンチ6の上端両側コーナ部を丸みを帯びた形状にした態様、図16(c)に示すようにトレンチ6の上端両側コーナ部をテーパー形状にした態様、図17(a)に示すようにトレンチ6の両側壁全体をテーパー形状にした態様を採用する。

【0055】さらに、トレンチ6に埋め込まれる絶縁膜8の上面全体を、シリコン基板1の主表面よりも下方へ凹状にへこませた上に、さらに、少なくともトレンチ6の両側端部近傍に窪み23を有する構造とすることによっても、逆狭チャネル効果の発生を抑制する効果が促進される。この構造の具体例としては、図17(b), (c), および図18(a), (b)に示す態様を採用する。

【0056】【実施の形態4】次に、図19および図20を参照しながら、本発明の実施の形態4について説明する。なお、本実施の形態から実施の形態8までは、本発明にかかるトレンチ分離構造の製造方法に関するものである。この実施の形態においては、まず、図19

(a)に示すように、p型シリコン基板1上にシリコン酸化膜2、シリコン窒化膜3、レジスト11をこの順に形成し、p型シリコン基板1上の活性領域となる部分にレジスト11を残すように写真製版を行なう。シリコン酸化膜2は、たとえばp型シリコン基板1の熱酸化によって形成され、その場合には10~30nmの厚さに形成される。シリコン酸化膜2およびシリコン窒化膜3を合わせた厚さは、160~380nmになるように形成

14

される。シリコン酸化膜2をシリコン基板1とシリコン窒化膜3の間に介在させるのは、p型シリコン基板1上にシリコン窒化膜3を直接作製するとストレス等によりp型シリコン基板1に歪みが生じ、半導体装置の機能を劣化させるためである。次に、写真製版によってパターン化されたレジスト11をマスクとして、シリコン窒化膜3およびシリコン酸化膜2に反応性イオンエッチング等のエッチングを施して、開口5を形成した後、レジスト11を除去する。

【0057】次に図19(b)に示すように、シリコン窒化膜3およびシリコン酸化膜2に形成された開口5の直下の領域のp型シリコン基板1をエッチングにより除去し、トレンチ6を形成する。トレンチ6の深さは、エッチング時間を調節することによって制御する。実際には、トレンチ6の最適な深さは電気特性との兼ねあいによって決まるが、目安として、分離幅0.15μmに対して深さは0.15から0.3μm程度(分離幅の1から2倍)になるように選べばよい。

【0058】次に、図19(c)に示すように、熱酸化によってトレンチの内壁に熱酸化膜としてのシリコン酸化膜7を形成する。熱酸化は、シリコン基板1のシリコンと酸素が反応しながら進む。酸素はシリコン酸化膜2を通してシリコン基板1のシリコンに供給されるため、シリコン酸化膜2の下の内壁部分への酸素の供給が促進され、その結果この部分のシリコン酸化膜7は厚くなる。よって、この工程によってトレンチ6の上部コーナに形成されるエッジの形状(図1示された距離L及びD)が決まる。距離L及びDは熱酸化の条件、シリコン酸化膜2の厚さ、シリコン窒化膜3の厚さなどによって変化する。これらの条件を制御することによって、トレンチ6の上部コーナ部のエッジの形状(特に距離L及びD)を最適化する。

【0059】トレンチの内壁にシリコン酸化膜7を形成する熱酸化工程は、1000℃以上の高温において、および/または1気圧以上の高圧下において行なわれ、その結果として、トレンチ6の内壁に10~50nmの厚さのシリコン酸化膜7が形成される。

【0060】次に、図20(a)に示すように、トレンチ6に絶縁膜8を堆積する。絶縁膜8としては、種々の絶縁材料が適用可能であるが、特に、シリコン酸化膜、シリコン窒化膜、シリコン酸化窒化膜等が使用される。また、トレンチ6の絶縁性が保たれさえすれば、シリコンや金属と上記の絶縁材料とを組み合わせるとして絶縁膜8を形成してもよい。この場合、トレンチ分離と活性領域との境は、絶縁膜で被われていることが必要である。絶縁膜8の堆積後、図20(b)に示すように、エッチバックや化学的機械研磨等を行なうことにより、トレンチ分離の領域にのみ、絶縁膜8を残すように、絶縁膜8を選択的に除去する。シリコン酸化膜2をトレンチ6の領域のみに選択的に堆積する選択デポジションを用いれば、

15

図20(a), (b)の工程を、シリコン窒化膜3を用いることなく、一つの工程で行なうことが可能である。

【0061】トレンチ6に埋め込んだ絶縁膜8の上面は、おおよそシリコン窒化膜3の上面と一致させることができる。よって、基板からの突出部の高さ(H)はシリコン窒化膜3の厚さによって制御できる。また、平坦化においてオーバーエッチングすることによりシリコン窒化膜3の上面より下げることにより、シリコン基板1表面からの突出部の高さ(H)を制御することもできる。

【0062】次に図20(c)に示すようにシリコン窒化膜3とシリコン酸化膜2をエッチングにより除去する。この後、活性領域にMOSトランジスタ、ダイオード、バイポーラトランジスタ、容量、抵抗、配線等の素子を作る。

【0063】シリコン酸化膜2を除去するために、フッ酸等を用いた化学的なエッチングを施す。フッ酸に対するエッチング速度は、トレンチ6の内壁に形成されたシリコン酸化膜7と絶縁膜8で異なる。もし、絶縁膜8がCVDシリコン酸化膜であれば、この絶縁膜8のエッチング速度はシリコン酸化膜7のエッチング速度より速い。そのため、絶縁膜8とシリコン酸化膜7との境界に窪みが生じる。窪みが生じる位置はトレンチ6の内壁に形成されたシリコン酸化膜7の厚さによって制御することができる。

【0064】また、上記実施例では、半導体基板としてp型シリコン基板を用いたが、n型シリコン基板を用いても良く、pウェル或いはnウェルを形成し、n型MOSトランジスタ或いはP型MOSトランジスタを形成しても良い。

【0065】なお、図28および図29を用いて説明した従来の製造方法により、図29(b)に示す構造を形成して、シリコン酸化膜2を除去した後、絶縁膜8のシリコン基板1主表面から上への突出部を除去しないことによっても、図20(c)に示す構造と同様の構造が形成される。この場合において、シリコン酸化膜2/シリコン窒化膜3/シリコン酸化膜4の厚さがそれぞれ、10~30nm/100~200nm/50~150nmになるように形成される。

【0066】【実施の形態5】以下、この発明の実施の形態5を、図21を参照しながら説明する。この実施の形態は、上記【実施の形態4】における熱酸化膜としてのシリコン酸化膜7を形成する図19(c)に示した工程を、図21(a)ないし(c)に示す工程に置き換えたものである。すなわち、この実施の形態においては、図19(b)に示すようにトレンチ6を形成したのち、図21(a)に示すようにトレンチ6の内壁を熱酸化し、犠牲酸化膜12を形成する。次に、図21(b)に示すように、フッ酸等を用いたエッチングにより犠牲酸化膜12を除去すると、トレンチ6上部のコーナに適度な丸みをおびたエッジ13が形成される。

16

【0067】次に、図21(c)に示すように、熱酸化によりトレンチ6の内壁にシリコン酸化膜7を形成する。この熱酸化は、トレンチ6の絶縁性を向上させるために必要であり、上記【実施の形態4】の場合と同様に、1000℃以上の高温において、おおよそ1気圧以上の高圧下において行なわれ、その結果として、トレンチ6の内壁に10~50nmの厚さのシリコン酸化膜7が形成される。本実施例では、上部コーナの形状制御のための酸化(図21(a))とトレンチの絶縁性を向上させるための酸化(図21(c))とを独立に行なっているため、上記【実施の形態5】の場合よりもさらに電気的特性の良いトレンチ分離が実現できる。その後の工程は、上記【実施の形態5】の図20(a)以降の工程と同様である。

【0068】【実施の形態6】以下、この発明の実施の形態6を、図22および図23を参照しながら説明する。この実施の形態は、上記【実施の形態4】における活性領域を被う層の構造を別の構造に置き換えて、トレンチに埋め込まれる絶縁膜の半導体基板表面から上へ突出する部分の形状を変化させたものである。

【0069】この実施の形態においては、まず、図22(a)に示すように、p型シリコン基板1上にシリコン酸化膜2、多結晶シリコン14、シリコン窒化膜3、レジスト11をこの順に積み重ねて形成し、活性領域部分にレジスト11を残すように写真製版を行なう。次にレジスト11のパターンをシリコン窒化膜3、多結晶シリコン14、シリコン酸化膜2に反応性イオンエッチング等のエッチングを施すことにより開口5を形成した後、レジスト1を除去する。次に、図22(b)に示すように、開口5の直下の領域のp型シリコン基板1をエッチングにより除去し、トレンチ6を形成する。次に、図22(c)に示すように、熱酸化によってトレンチ6の内壁にシリコン酸化膜7を形成する。この工程で、トレンチ6の上部のコーナのエッジの制御を行なうと同時に、多結晶シリコン14の一部が、テーパ状のシリコン酸化膜15に変化する。

【0070】次に、図23(a)に示すようにトレンチ6に絶縁膜8を堆積する。絶縁膜8として、シリコン酸化膜、シリコン窒化膜、シリコン酸化窒化膜等があげられ、また、トレンチの絶縁性が保たれれば、シリコンや金属と上記の絶縁膜とを組み合わせても良いことは、上記【実施の形態4】と同様である。絶縁膜8の堆積後、図23(b)に示すように、エッチバックや化学的機械研磨等を行なうことにより、トレンチ分離の領域にのみ、絶縁膜8を残すように、絶縁膜8を選択的に除去する。シリコン酸化膜2をトレンチ6の領域のみに選択的に堆積する選択デポジションを用いれば、図23

(a), (b)の工程を、シリコン窒化膜3を用いることなく、一つの工程で行なうことが可能である。トレンチ6に埋め込んだ絶縁膜の上面はおおよそシリコン窒化

17

膜 3 の上面と一致させることができる。よって、基板からの突出部の高さはシリコン窒化膜 3 の厚さにより制御することができる。

【0071】次に、図 23 (c) に示すように、シリコン窒化膜 2、多結晶シリコン 14、シリコン酸化膜 2 をエッチングにより除去する。この時、多結晶シリコン 14 の一部が熱酸化したシリコン酸化膜 15 は、トレンチ分離の突出部の一部を形成する。多結晶シリコン 14 の酸化においてもシリコン酸化膜 2 からの酸素の供給の影響で、図に示すようなテーパーが形成される。このテーパー角度は熱酸化条件をかえることにより制御することができる。その後、活性領域に MOS トランジスタ、ダイオード、バイポーラトランジスタ、容量、抵抗、配線等の素子を形成する。

【0072】トレンチ分離の突出部のテーパー角度は、熱酸化の条件を変えることによる他、シリコン窒化膜 3 の厚さやシリコン酸化膜 2 の厚さを変えることによって、酸素の供給の度合いが変化するため、制御可能である。多結晶シリコン 14 にイオン注入や堆積時に窒素を導入した膜を用いることによっても、窒素の量でシリコンの酸化速度が依存するため、テーパー角の制御が可能である。また、多結晶シリコン 14 を非晶質シリコン、単結晶シリコンで置き換えても実現可能なことは容易に推測できる。

【0073】また、この実施の形態のように、トレンチ分離の突出部にテーパーを設ける方法は、図 21 に示した上記【実施の形態 5】のような犠牲酸化膜形成工程を含む方法にも容易に適用可能である。さらに、この実施の形態においても、p 型シリコン基板を用いる代わりに n 型シリコン基板を用いても良く、p ウェルあるいは n ウェルを形成し、n 型 MOS トランジスタあるいは p 型 MOS トランジスタを形成しても良い。

【0074】【実施の形態 7】以下、この発明の実施の形態 7 を、図 24 および図 25 を参照しながら説明する。この実施の形態は、上記【実施の形態 4】によって形成した図 20 (b) に示す工程の後、トレンチ分離の突出部を丸みを帯びた形状（あるいはテーパーを有する形状）にする図 24 (a)、(b) および図 25 (a)、(b) に示す工程を追加したものである。この実施の形態においては、図 20 (b) と同様の図 24 (a) に示す構造を形成した後、図 24 (b) に示すように、全面にシリコン酸化膜 16 を所定の厚さで堆積する。その後、全面をドライエッチング等の異方性のエッチングを行なうことにより、図 25 (a) に示すように、絶縁膜 8 のトレンチ 6 上部の突出部を丸みを帯びた形状（あるいはテーパー形状）に形成する。シリコン酸化膜 16 の堆積条件や熱処理条件を適宜変えることにより、図 24 (b) における絶縁膜 8 の突出部の最終形状を制御する。次に、図 25 (b) に示すように、シリコン酸化膜 2 をエッチング（等方性、異方性どちらでも可）によ

18

てで除去する。なお、図 25 (a) に示すシリコン酸化膜 16 の異方性エッチングの工程でシリコン酸化膜 2 を同時にエッチング除去しても良い。

【0075】集積回路を形成するには、イオン注入等の不純物導入工程が必要である。この不純物の導入工程は、図 24 (a) の直後あるいは図 25 (a) の直後のいずれに行なってもよい。また、この実施の形態で用いたシリコン酸化膜 16 の代わりにシリコン窒化膜や、オキシナイトライド、あるいはこれらの組み合わせによる多層膜でも同様の効果を得ることが可能である。さらに、この実施の形態において、図 21 で示したような犠牲酸化を行なった工程を適用することも可能である。また、図 22 および図 23 に示した工程を併用することも可能である。

【0076】【実施の形態 8】以下、この発明の実施の形態 8 を、図 26 および図 27 を参照しながら説明する。この実施の形態は、上記【実施の形態 4】におけるトレンチを形成する工程を他の工程に置き換えて、トレンチの上部コーナにおけるトレンチに埋め込まれる絶縁膜の形状を変化させたものである。

【0077】この実施の形態においては、まず、図 19 (a) に示すように p 型シリコン基板 1 上にシリコン酸化膜 2、シリコン窒化膜 3、レジスト 11 をこの順に積み重ねて形成した後、活性領域部分にレジスト 11 を残すように写真製版を行なう。次に、レジスト 11 をマスクとして、シリコン窒化膜 3、シリコン酸化膜 2 に反応性イオンエッチング等のエッチングを施して、開口 5 を形成した後、図 26 (a) に示すように、シリコン窒化膜 3、シリコン酸化膜 2 をマスクとして、例えばケミカルドライエッチング等の等方性エッチングを行なって、1 段目のトレンチ 17 を形成する。このトレンチ 17 を形成するのに、熱酸化を行ない、その後にその熱酸化膜を除去する工程を用いても良い。次に、図 26 (b) に示すように、反応性イオンエッチング等の異方性エッチングにより 2 段目のトレンチ 18 を形成する。これにより、トレンチ分離のための 2 段構造のトレンチが形成される。

【0078】このような方法により形成させられた 2 段構造のトレンチの上部コーナには、1 段目のトレンチ 17 を形成したことにより、適度な丸みあるいはテーパーが形成される。このコーナ部の丸みあるいはテーパーの形状は、等方性エッチング条件および熱酸化条件によって決まる。このようなトレンチ 18 の形成条件を制御することによって、上部コーナ部の形状を最適化することができる。

【0079】次に、図 26 (c) に示すように、トレンチ内壁を熱酸化し、シリコン酸化膜 7 を形成する。この熱酸化膜 7 はトレンチの絶縁性を向上させるために必要である。その後さらに、図 27 (a) ~ (c) に示すように、絶縁膜 8 の形成とエッチバックを行なう。この実

19

施の形態では、トレンチの上部コーナの形状制御のためにエッチング技術および熱酸化技術を用いることによって、トレンチの絶縁性を向上させるための酸化工程（図26（c））を独立に行なえるため、上記【実施の形態4】よりさらに電気的特性の良いトレンチ分離が実現できる。

【0080】さらに、この実施の形態に図21に示したように犠牲酸化を行なった工程、図22および図23に示した活性領域を被う層構造を用いた工程、あるいは図24および図25に示したトレンチ上部の突出部に丸みやテーパをつける工程を併用してもよいことは言うまでもない。

【0081】なお、以上述べた各実施の形態は、単なる例示に過ぎず、特許請求の範囲に記載された発明に均等の範囲において変更した種々の態様を採用しうることは言うまでもない。

【0082】

【発明の効果】以上説明したように、本発明のトレンチ分離構造を備えた半導体装置によれば、ゲート電極に所定のバイアス電圧を印加した状態で、トレンチの活性領域側端部におけるキャリア濃度が、活性領域の中央のキャリア濃度以下になるような、ゲート電極が延びる方向の該ゲート電極直下の鉛直断面形状を有する。このような構造を有することにより本発明によれば、単にトレンチ分離構造を形状的に最適化することによって、トレンチ分離端における電界集中の緩和と逆狭チャネル効果の発生が抑制が実現でき、その結果良好なサブスレッショルド特性が得られるという特有の効果を奏する。また、本発明におけるトレンチ分離構造の形状的最適化は、回帰曲線の式を用いたシミュレーションによって比較的容易に見出すことが可能である。

【0083】また、本発明のトレンチ分離構造の形状最適化の例として、トレンチに埋め込まれた絶縁膜の上面の、両側のトレンチ分離端近傍にそれぞれ所定形状の窪みを設けた構造を採用すれば、トレンチに埋め込まれた絶縁膜をエッチバックする際にトレンチ分離端近傍において窪みが生じるという現象を積極的に利用した工程によって形成することができる。したがって、特に工程数の増加を来すことなく、製造条件の適切な選択によって比較的容易に製造可能である。

【0084】さらに、トレンチの上端コーナ部に、径方向幅が $0.05\mu\text{m}$ 以上でかつ深さが $0.05\mu\text{m}$ 以下のC面取り状のテーパ形状を有する構造、あるいは、トレンチの上端コーナ部に、曲率半径が $0.04\mu\text{m}$ 以上のR面取りが施された形状を有する構造を採用することにより、半導体基板の主表面上に、トレンチに埋め込まれた絶縁膜の突出部が存在するか否かにかかわらず、「ゲート電極に所定のバイアス電圧を印加した状態で、トレンチの活性領域側端部におけるキャリア濃度が、活性領域の中央のキャリア濃度以下になる」という上記条

20

件を満足するため、トレンチに埋め込まれた絶縁膜が半導体基板の主表面とほぼ面一の上表面を有する構造にも適用可能である。このような構造を採用することにより、表面段差の増加を来すことなく、したがって写真製版等によるパターンニング加工の際の表面段差に起因する問題点を生じさせることなく、本発明の目的を達成することができる。

【0085】本発明のトレンチ分離構造を備えた半導体装置の製造方法によれば、トレンチを形成する工程におけるマスクの材質や厚さ、あるいは熱酸化の条件などを最適化することによって、トレンチ分離端における電界集中を緩和し、その結果、逆狭チャネル効果発生の抑制を図ったトレンチ分離構造を、効率的に形成することができる。また、本発明における製造方法の条件の選択は、回帰曲線の式を用いたシミュレーションによって比較的容易に見出すことが可能である。

【図面の簡単な説明】

【図1】 本発明のトレンチ分離構造の一例を模式的に示す断面図である。

【図2】 図1に示したパラメータDが $0.02\mu\text{m}$ 、ゲート電極に印加されるバイアス電圧 V_g が 0.5V の場合の、本発明のトレンチ分離構造における2次元電子濃度解析結果を示す図である。

【図3】 図2に示した解析結果における、カットラインに沿った1次元電子濃度分布を示す図である。

【図4】 図3に示した1次元プロットの両端の電子濃度差を ΔE のトレンチエッジ深さDに対する依存性を示す図である。

【図5】 本発明の解析構造におけるトレンチ分離のエッジの曲率半径Rの定義を示す図である。

【図6】 V_g が 0.5V における電子濃度差 ΔE の曲率半径Rに対する依存性を示す図である。

【図7】 本発明の解析をトレンチ分離を埋め込んだ絶縁膜の上部が窪んだ構造に適用する場合の、窪みの深さzの定義を示す図である。

【図8】 本発明の解析をトレンチ分離の埋め込み絶縁材上部が窪んだ構造に適用する場合の、電子濃度差 ΔE の窪みの深さzに対する依存性を示す図である。

【図9】 本発明の解析をトレンチ分離を埋め込んだ絶縁膜の上部が窪んだ構造に適用する場合の、窪みの位置xの定義を示す図である。

【図10】 本発明の解析をトレンチ分離を埋め込んだ絶縁膜の上部が窪んだ構造に適用する場合の、電子濃度差 ΔE の窪みの位置xに対する依存性を示す図である。

【図11】 本発明のトレンチ分離構造の他の例を模式的に示す断面図である。

【図12】 本発明のトレンチ分離構造のさらに他の例を模式的に示す断面図である。

【図13】 本発明のトレンチ分離構造のさらに他の例を模式的に示す断面図である。

21

【図 1 4】 (a) は、本発明のトレンチ分離構造のさらに他の例を模式的に示す断面図、(b) は (a) のトレンチ上端コーナ部近傍を拡大して示す断面図である。

【図 1 5】 本発明のトレンチ分離を埋め込んだ絶縁膜の上部に複数の窪みが形成された構造のうち、該絶縁膜のシリコン基板主表面から突出した構造を有する実施の形態の 3 とおりの態様を示す断面図である。

【図 1 6】 本発明のトレンチ分離を埋め込んだ絶縁膜の上部に複数の窪みが形成された構造のうち、該絶縁膜の上面がシリコン基板主表面とほぼ面一である実施の形態の 3 とおりの態様を示す断面図である。

【図 1 7】 (a) は、本発明のトレンチ分離を埋め込んだ絶縁膜の上部に複数の窪みが形成された構造のうち、該絶縁膜の上面がシリコン基板主表面とほぼ面一である実施の形態の 1 つの態様を示す断面図、(b) および (c) は、該絶縁膜の上面全体がシリコン基板主表面よりも下方に窪んだ形状を有する実施の形態の 2 とおりの態様を示す断面図である。

【図 1 8】 (a) および (b) は、本発明のトレンチ分離を埋め込んだ絶縁膜の上部に複数の窪みが形成された構造のうち、該絶縁膜の上面全体がシリコン基板主表面よりも下方に窪んだ形状を有する実施の形態の 2 とおりの態様を示す断面図である。

【図 1 9】 本発明の実施の形態 4 のトレンチ分離形成方法の前半の工程 3 工程を順次示す断面図である。

【図 2 0】 本発明の実施の形態 4 のトレンチ分離形成方法の後半の 3 工程を順次示す断面図である。

22

* 【図 2 1】 本発明の実施の形態 5 のトレンチ分離形成方法の工程を順次示す断面図である。

【図 2 2】 本発明の実施の形態 6 のトレンチ分離形成方法の前半の 3 工程を順次示す断面図である。

【図 2 3】 本発明の実施の形態 6 のトレンチ分離形成方法の後半の 3 工程を順次示す断面図である。

【図 2 4】 本発明の実施の形態 7 のトレンチ分離形成方法の前半の 2 工程を順次示す断面図である。

【図 2 5】 本発明の実施の形態 7 のトレンチ分離形成方法の後半の 2 工程を順次示す断面図である。

【図 2 6】 本発明の実施の形態 8 のトレンチ分離形成方法の前半の 3 工程を順次示す断面図である。

【図 2 7】 本発明の実施の形態 8 のトレンチ分離形成方法の後半の 3 工程を順次示す断面図である。

【図 2 8】 従来のトレンチ分離形成方法の前半の 3 工程を順次示す断面図である。

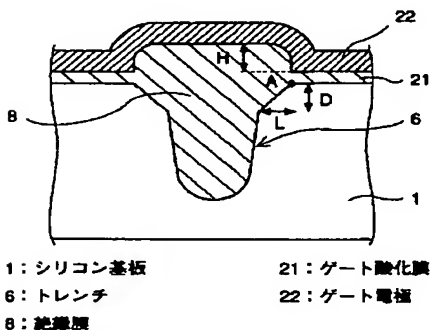
【図 2 9】 従来のトレンチ分離形成方法の後半の 3 工程を順次示す断面図である。

【図 3 0】 (a) は図 1 に断面を示したトレンチ分離構造の平面図、(b) は同構造の一部断面斜視図を示しており、(a) の I-I 線断面が図 1 に示した断面に対応する。

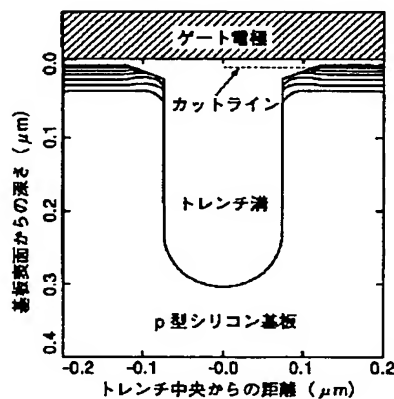
【符号の説明】

1 シリコン基板、2 シリコン酸化膜、3 シリコン窒化膜、4 シリコン酸化膜、5 開口、6 トレンチ、7 熱酸化膜、8 絶縁膜、9 活性領域、2 1、ゲート酸化膜、2 2 ゲート電極、2 3 窪み。

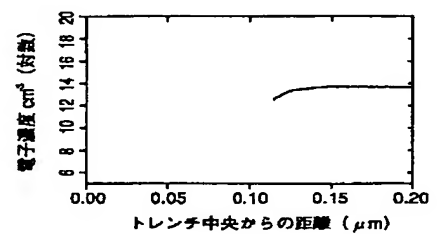
【図 1】



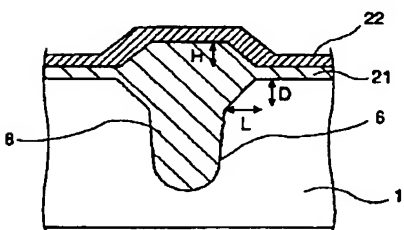
【図 2】



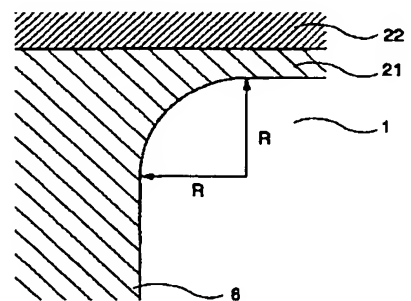
【図 3】



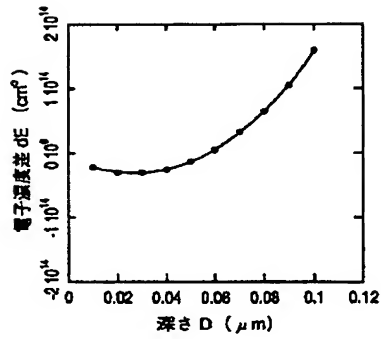
【図 1 1】



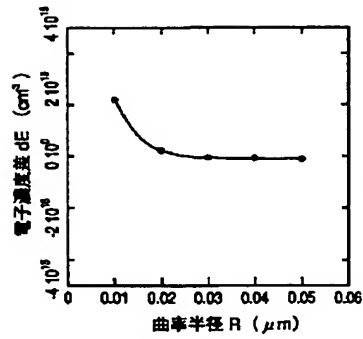
【図 5】



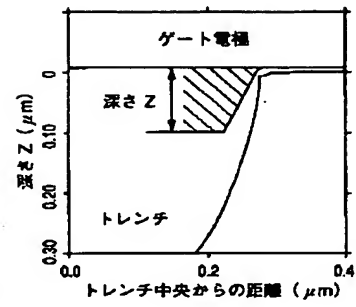
【図4】



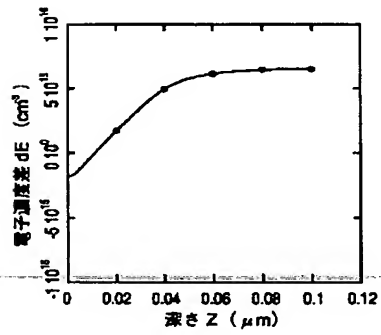
【図6】



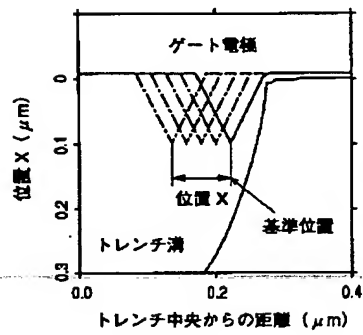
【図7】



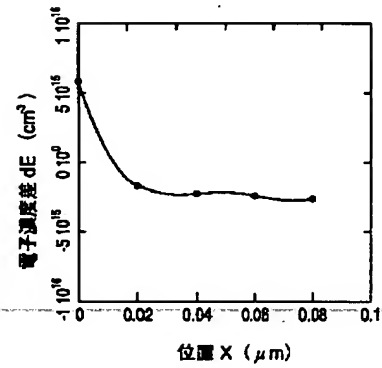
【図8】



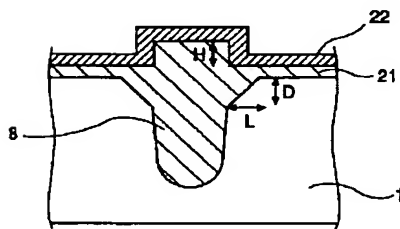
【図9】



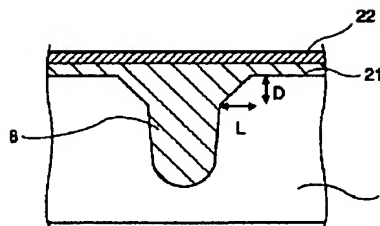
【図10】



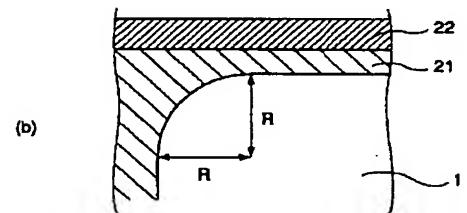
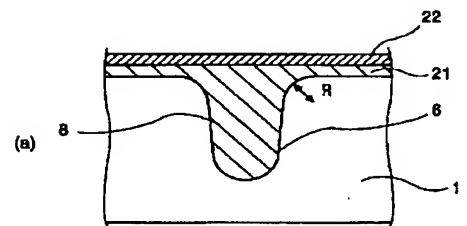
【図12】



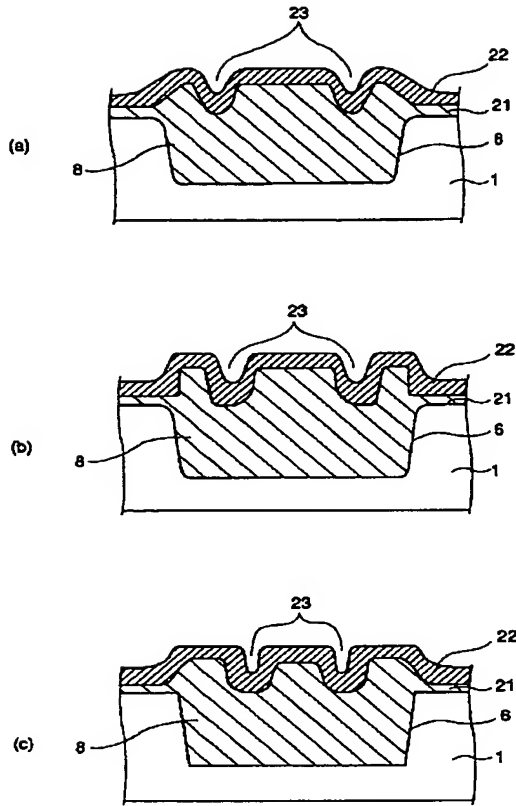
【図13】



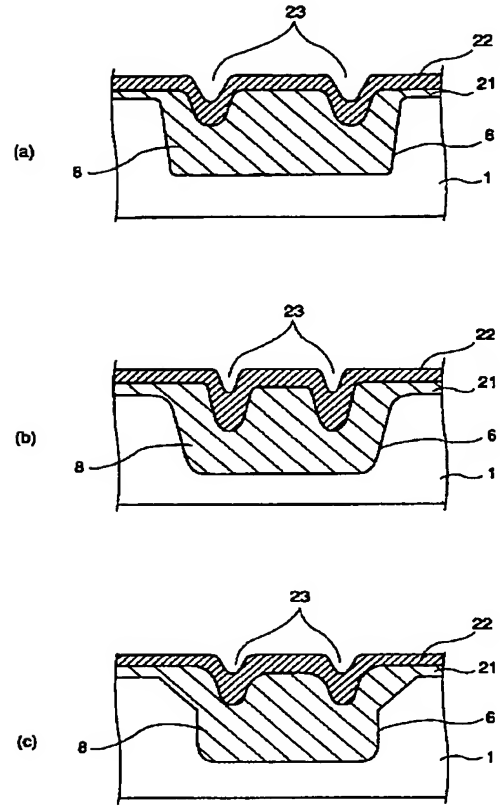
【図14】



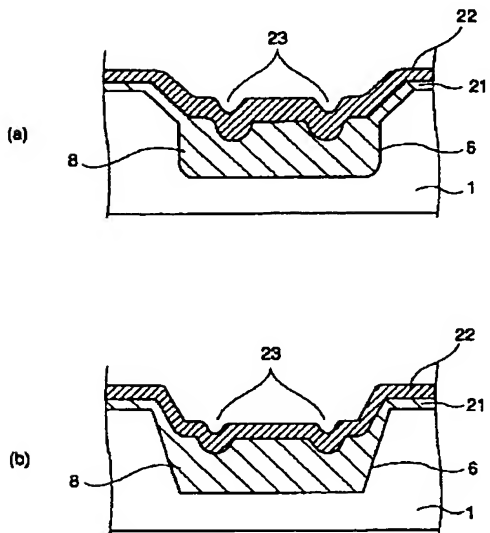
【図 15】



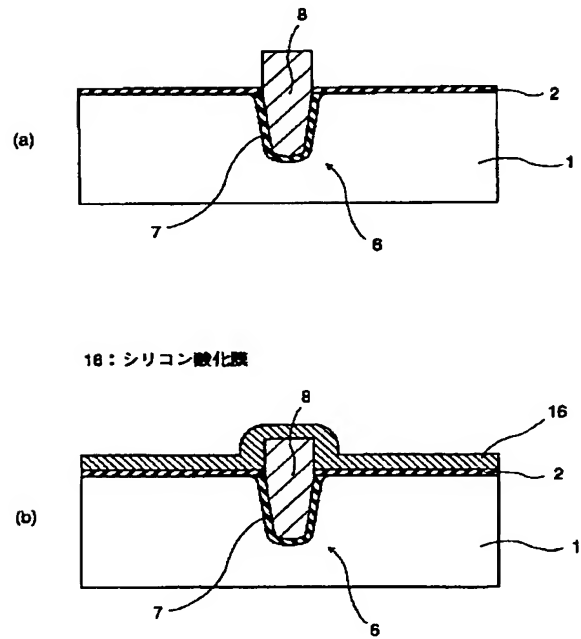
【図 16】



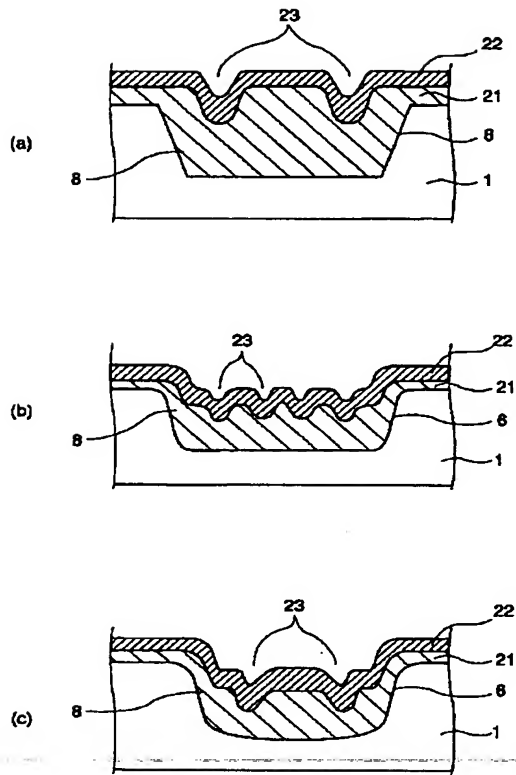
【図 18】



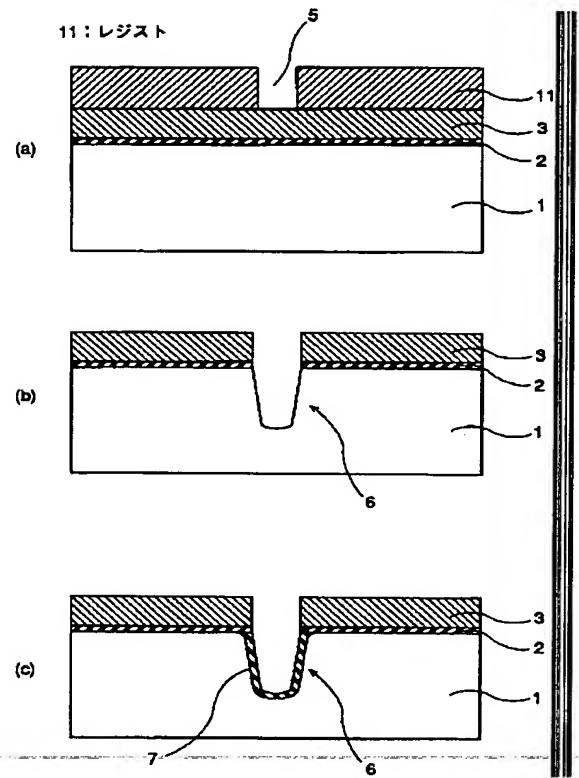
【図 24】



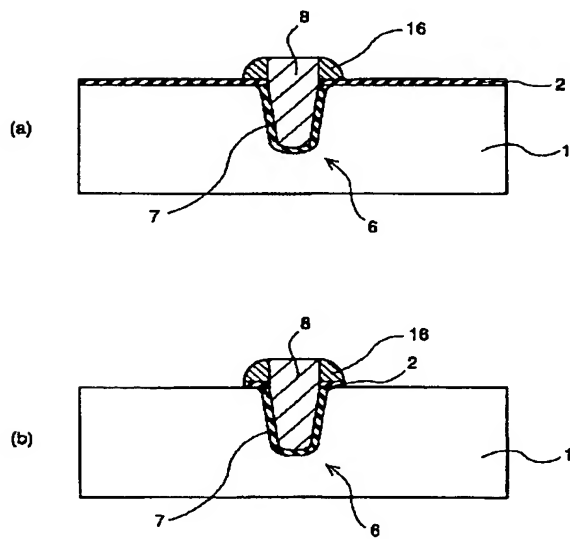
【図 17】



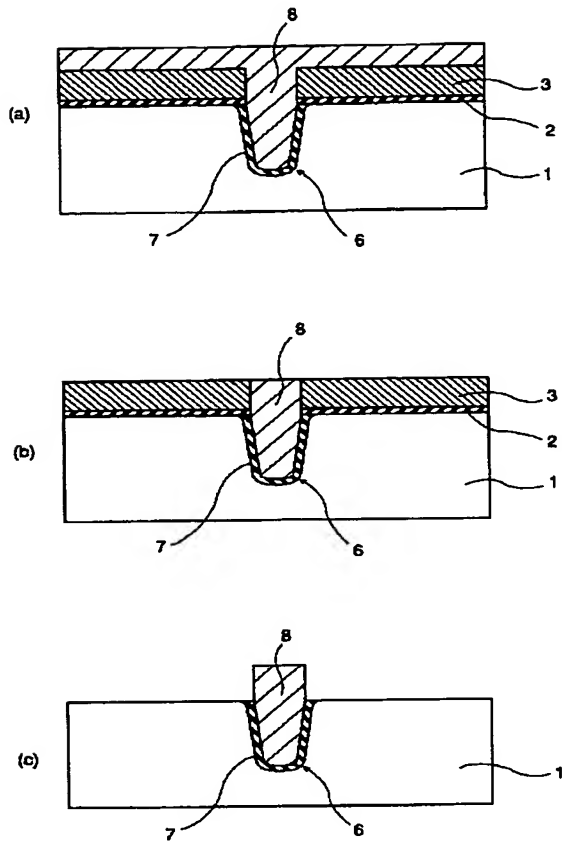
【図 19】



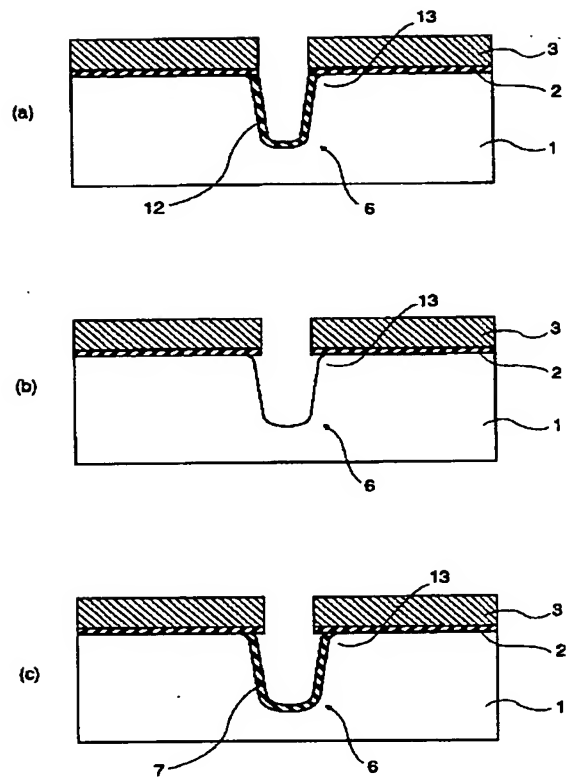
【図 25】



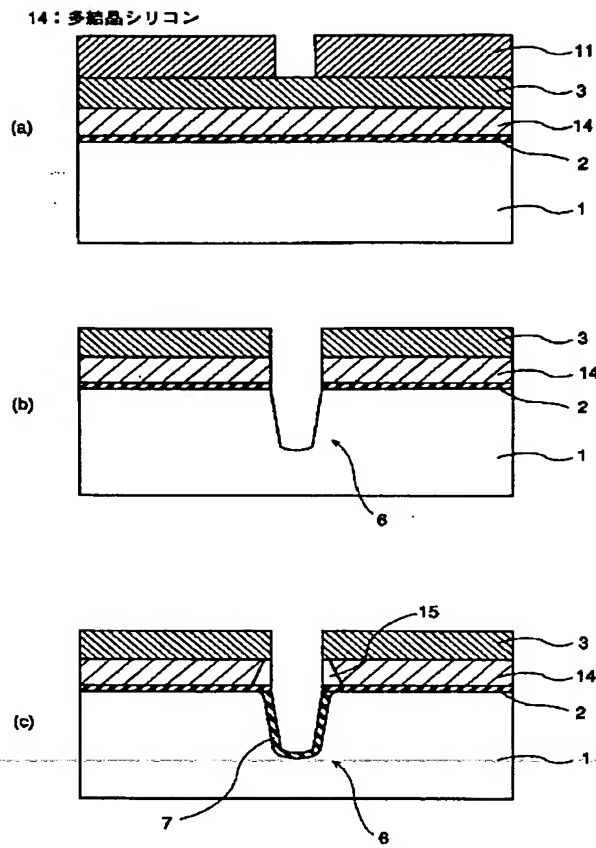
【図20】



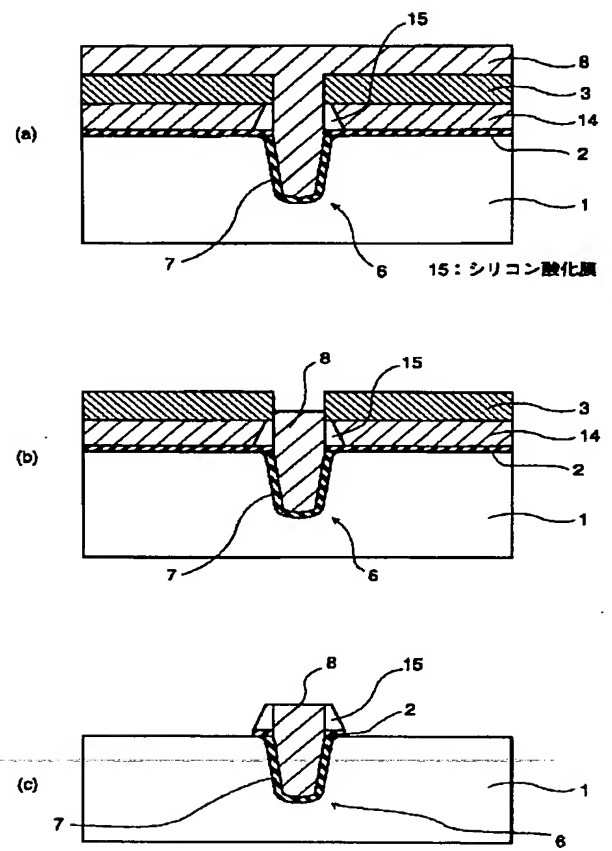
【図21】



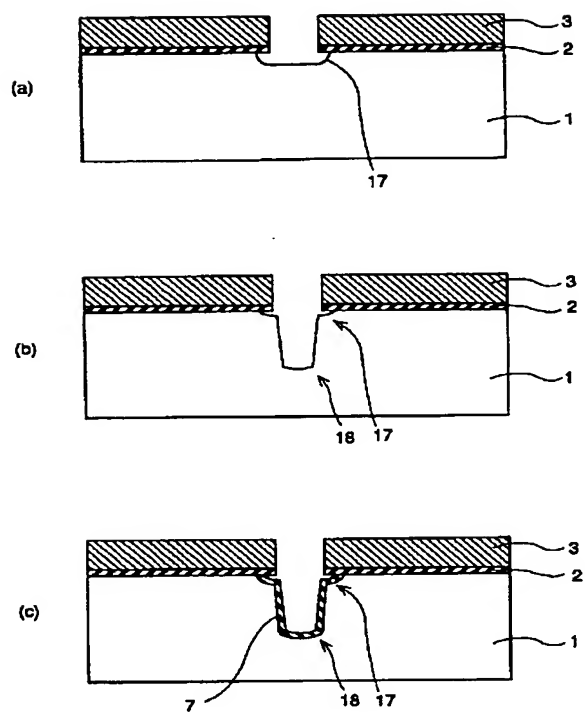
【図 22】



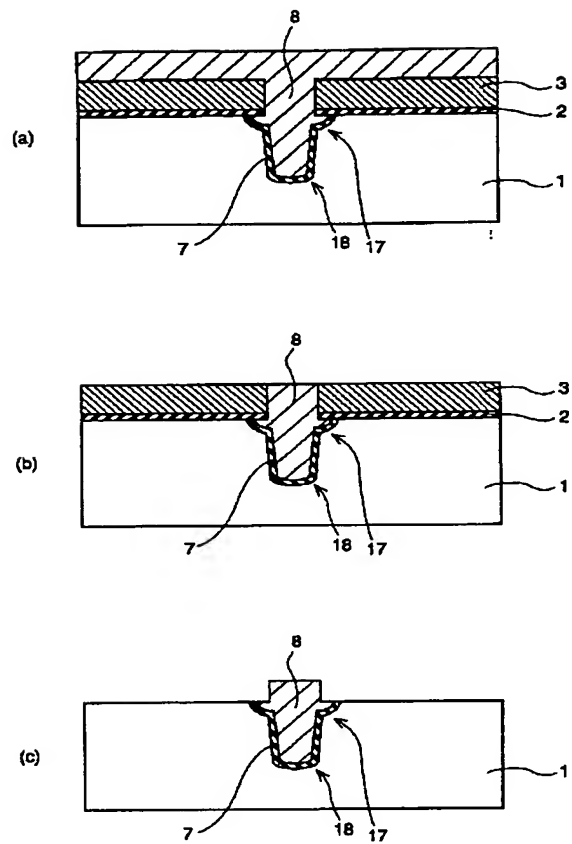
【図 23】



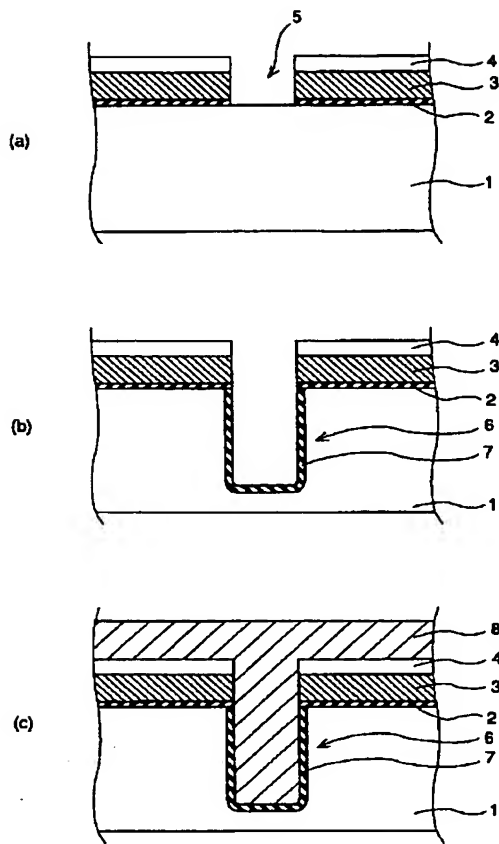
【図 26】



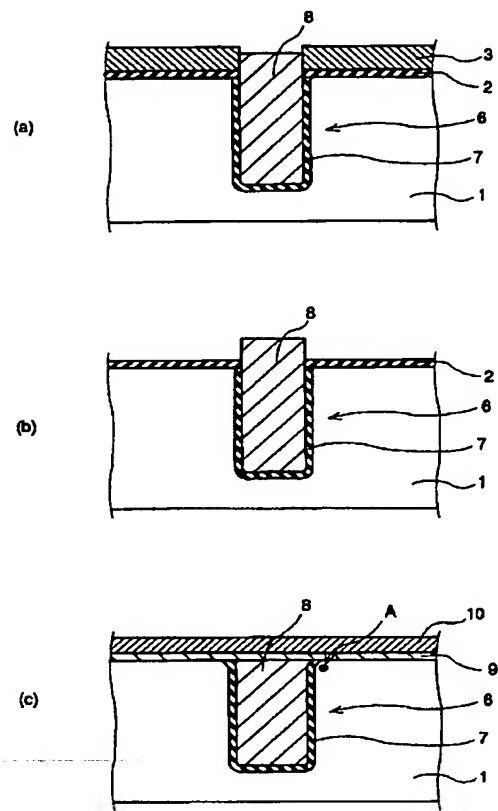
【図 27】



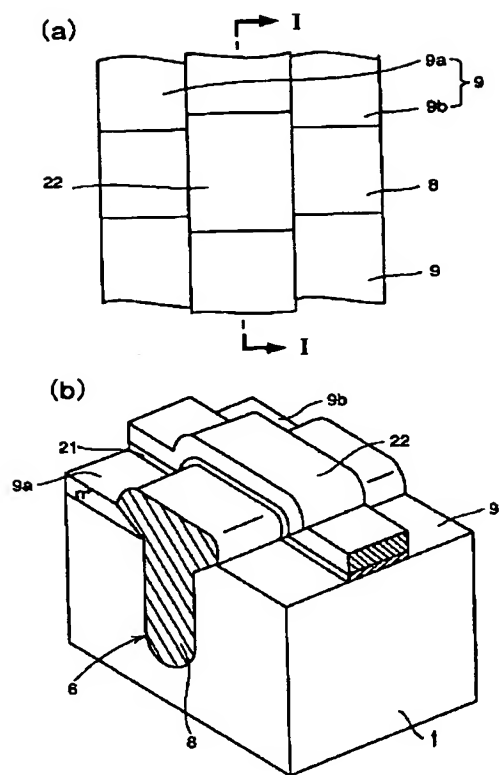
【図 28】



【図 29】



【図 30】



フロントページの続き

(72)発明者 塩沢 勝臣
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内